

Cite No. 1

English Abstract:

A MPEG-2 video decoder is composed of demultiplexer, input buffer, video decode unit and system controller. After demultiplexing, the input transport stream is transferred to input buffer. The video decode unit receives the transport stream from the input buffer and decodes it. The system controller controls the video decode unit in such manner that it communicates with the video decode unit via I/O interface to read/write the register in the video decode unit, so the status of Read/Write pointer of the input buffer is known. Thereby, the controller can control the video decode unit to active decode process, to stop decode process or to jump over field.

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H04N 7/24

H04N 7/26

[12] 发明专利申请公开说明书

[21] 申请号 98103216.8

[43] 公开日 1999 年 3 月 24 日

[11] 公开号 CN 1211877A

[22] 申请日 98.7.15 [21] 申请号 98103216.8

[71] 申请人 国家科学技术委员会高技术研究中心

地址 100862 北京市海淀区复兴路乙 15 号

[72] 发明人 孙 军 虞正华 叶 玮

[74] 专利代理机构 北京邦大专利事务所

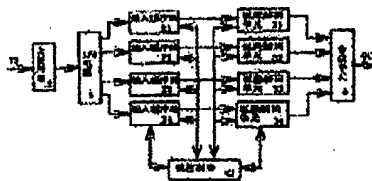
代理人 魏殿坤

权利要求书 3 页 说明书 6 页 附图页数 3 页

[54] 发明名称 MPEG-2 视频解码器及其输入缓冲器的控制方法

[57] 摘要

一种 MPEG-2 视频解码器, 它由去复用器(1), 输入缓冲器(2), 视频解码单元(3)和系统控制器(4)组成; 其中, 输入码流 TS 被送到去复用器(1), 经过去复用后, 送到输入缓冲器(2)中, 视频解码单元(3)从输入缓冲器(2)中取出码流进行解码; 系统控制器(4)对去复用器(1), 输入缓冲器(2)和视频解码单元(3)进行控制; 其特征在于: 系统控制器(4)通过 I/O 接口与视频解码单元(3)通信, 读/写视频解码单元(3)中的寄存器, 从而得知输入缓冲器(2)的读写指针, 从而可实行对输入缓冲器的控制, 使视频解码器进行解码, 停止解码, 跳帧等。



专利文献出版社出版

ISSN 1008-4274

权 利

要 求 书

1. 一种MPEG-2视频解码器，它是一个SDTV视频解码器，它由去复用器（1），输入缓冲器（2），视频解码单元（3）和系统控制器（4）组成；其中，输入码流TS被送到去复用器（1），经过去复用后，送到输入缓冲器（2）中，视频解码单元（3）从输入缓冲器（2）中取出码流进行解码；系统控制器（4）对去复用器（1），输入缓冲器（2）和视频解码单元（3）进行控制；其特征在于：

系统控制器（4）通过I/O接口与视频解码单元（3）通信，读/写视频解码单元（3）中的寄存器，从而得知输入缓冲器（2）的读写指针，从而可实行对输入缓冲器的控制，使视频解码器进行解码，停止解码，跳帧等。

2. 一种MPEG-2视频解码器的输入缓冲器的控制方法，其中所说视频解码器是一个SDTV视频解码器，它由去复用器（1），输入缓冲器（2），视频解码单元（3）和系统控制器（4）组成；其特征在于：所说方法包括下列步骤：

步骤11，在每一帧解码时，系统控制器（4）通过视频解码单元（3）获取所解码帧的帧类型，并暂时存储起来；

步骤12，在每帧解码开始前，系统控制器（4）判断前一解码帧的帧类型是否为I帧，如果前一帧为I帧，则进入步骤13，如果前一帧不是I帧，则重复执行此步骤；

步骤13，系统控制器（4）通过解码单元（3）读取输入缓冲器（2）的读写指针，以便判断缓冲器的充盈度；

步骤14，判断输入缓冲器（2）中的内容是否小于一个P帧的大小，如果是，则缓冲器可能下溢，这时系统控制器（4）控制解码单元（3）停止一帧解码，并重复显示上一帧的内容，然后回到步骤12；如果不是，则进入步骤15；

步骤15，判断输入缓冲器（2）的内容是否连续3帧小于1.2个P帧大小，如果是，则系统控制器（4）控制解码单元（3）停止一帧解码，并重复显示上一帧的内容，然后回到步骤12；如果不是，则进入步骤16；

步骤16，判断输入缓冲器的剩余空间是否小于一个I帧大小，如果是，则系统控制器（4）控制视频解码单元（3）跳过一个B帧，然后回到步骤12；如果不是，则进入步骤17；

步骤17，判断输入缓冲器的剩余空间是否连续3帧小于一个I帧加一个B帧大小，如果是，则系统控制器（4）控制视频解码单元（3）跳过一个B帧，然后回到步骤12；如果不是，则进入步骤18；

步骤18，系统控制器（4）控制视频解码单元（3）执行随后的解码处理。

90-07-15

3, 一种MPEG-2视频解码器, 所说视频解码器是一个HDTV视频解码器, 它包括去复用器(12), 1/4电路(5), 四个输入缓冲器(21-24), 四个视频解码单元(31-34), 合成单元(6), 以及系统控制器(42); 其中, 输入码流TS被送到去复用器(12), 经过去复用后, 被送到1/4电路(5); 在1/4电路(5)中, 将HDTV图象分成四个SDTV子图象; 由1/4电路(5)分割的四个子图象分别送到在四个视频解码单元(31-34)之前分别连接的四个输入缓冲器(21-24); 缓冲后, 再由四个SDTV视频解码单元(31-34)进行平行解码; 最后, 将分别经过各个视频解码单元(31-34)解码的这些低分辨率的子图象数字视频信号送到合成单元(6), 以合成为一路高清晰度电视信号; 系统控制器(42)控制去复用器(12), 1/4电路(5), 四个输入缓冲器(21-24), 四个视频解码单元(31-34), 合成单元(6); 其特征在于:

系统控制器(42)通过I/O接口与视频解码单元(31-34)通信, 读/写视频解码单元(31-34)中的寄存器, 以得知输入缓冲器(21-24)的读写指针, 从而可实行对输入缓冲器的控制, 使视频解码器进行解码, 停止解码, 跳帧等。

4, 一种MPEG-2视频解码器的输入缓冲器的控制方法, 其中, 所说视频解码器是一个HDTV视频解码器, 它包括去复用器(12), 1/4电路(5), 四个

BEST AVAILABLE COPY